



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03255625 A**(43) Date of publication of application: **14 . 11 . 91**

(51) Int. Cl.

**H01L 21/302**  
**H01L 21/205**
(21) Application number: **02054222**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **05 . 03 . 90**(72) Inventor: **KOBAYASHI TORU**(54) **SEMICONDUCTOR MANUFACTURING DEVICE**

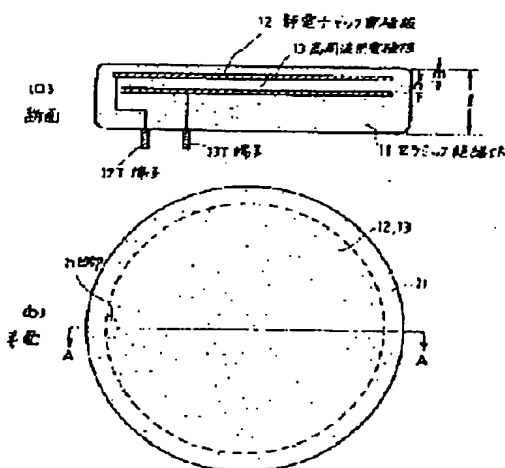
without causing any abnormal plasma discharge at all.

(57) Abstract:

COPYRIGHT: (C)1991,JPO&amp;Japio

**PURPOSE:** To excellently process a wafer by electrostatically chucking the same using low-frequency power supply by a method wherein an electrostatically chucking electrode sheet close to a wafer with lower electrode for mounting the wafer as well as a high-frequency electrode sheet positioned farther from the wafer than the electrostatically chucking sheet are buried in an insulator in parallel with the wafer.

**CONSTITUTION:** The title semiconductor manufacturing device is composed of an electrostatically chucking electrode 12 buried in a ceramic insulator 11 so as to make a gap  $m=200\mu\text{m}$  from the surface for mounting a wafer as well as a high-frequency electrode 13 also buried in the same 11 further making another gap  $n=500\mu\text{m}$  from the electrode 12. Furthermore, the lower electrode 13 in such a composition capable of being formed with high dimensional precision provides the whole ceramic insulator with sufficient thickness. Through these procedures, the wafer surface can be etched away at rapid etching rate with high precision using low frequency power supply of about 380-400kHz



Y: Jan 7: p3, 右 L. 12-13

GL

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-255625

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月14日

H 01 L 21/302  
21/205

B 8122-5F  
7739-5F

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体製造装置

⑯ 特 願 平2-54222

⑰ 出 願 平2(1990)3月5日

⑱ 発 明 者 小 林 徹 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

#### 明 細 書

##### 1. 発明の名称

半導体製造装置

##### 2. 特許請求の範囲

ウエハーを載置する下部電極を備え、該下部電極がウエハーに近接して位置した静電チャック電極板と、ウエハーに対して静電チャック電極板より遠くに位置した高周波用電極板とを、絶縁体内にウエハーに平行して埋没させた構造を有することを特徴とする半導体製造装置。

##### 3. 発明の詳細な説明

###### (概 要)

半導体製造装置、例えば、プラズマエッチング装置における静電チャックを含む電極の構造に関し、

低い周波数の電源を用いて、しかも、ウエハーを静電チャッキングして良好に処理することを目的とし、

ウエハーを載置する下部電極を備え、該下部電極がウエハーに近接して位置した静電チャック電極板と、ウエハーに対して静電チャック電極板より遠くに位置した高周波用電極板とを、絶縁体内にウエハーに平行して埋没させた構造を有することを特徴とする。

###### (産業上の利用分野)

本発明は半導体製造装置、例えば、プラズマエッチング装置における静電チャックを含む電極の構造に関する。

ウエハープロセスにおいては、プラズマエッチング装置やプラズマ化学気相成長(プラズマCVD)装置が用いられており、そのような装置は電極間に高周波を印加して、一方の電極にはウエハーを載置しているが、そのウエハーのチャッキングを含む電極の構造は製造装置の性能に大きく影響するためにその構造は重要であり、本発明はその電極の改 に関している。

〔従来の技術〕

例えば、プラズマエッチング装置はリアクティブイオンエッチング(RIE)方法が適用されて、対向配置した2枚の平行平板電極のうちの一方の電極にウエハー(被エッチング基板)を載置する平行平板型の電極構造が採られている。

第3図はプラズマエッチング装置の要部断面図を示しており、図中の記号1は真空チャンバ、2は上部電極、3は下部電極、4はウエハー、5はガス導入口、6は排気口、7は高周波電源(周波数5KHZ～13.56MHZ)である。図示のように、高周波を印加した下部電極3と上部電極2とを対向配置し、下部電極3上に載置したウエハー4に対して上部電極2の下面から反応ガスを垂直に噴射して反応ガスをプラズマ化し、ウエハー4にそのプラズマガスを衝突させてエッチングする装置である。

このようなプラズマエッチング装置には接地電極側にウエハーを載置するアノードカップル型と上記第3図のような高周波電源側にウエハーを載

置するカソードカップル型との二種類があるが、その性能には差異はない。しかし、一般的には13.56MHZ程度の高い周波数の電源を用いる場合はカソードカップル型にして多結晶シリコン膜や窒化シリコン膜のエッチングに用い、400KHZ程度の低い周波数の電源を用いる場合はアノードカップル型にして酸化シリコン膜をエッチングすることが多い。

〔発明が解決しようとする課題〕

ところで、上記のようなドライエッチング装置において、ウエハー4を載置する下部電極3にエッチング特性にかかわる問題があり、それを第4図に示す従来の下部電極の構造断面図によって説明する。即ち、ウエハーをただ自由に載せるだけではエッチング処理中に動き、また、密着させて冷却を良くするために、ウエハーを下部電極に固定させる必要がある。その方法として、従来から第4図(a)に示す機械的に押さえる方法と第4図(b)に示すクーロン力によって静電チャッキングする

方法との二種類が知られている。図中の記号4はウエハー、30、31は高周波用電極、32は押さえ爪、33は静電チャック体、34は直流電源である。

そのうち、第4図(a)に示す機械的な押着法は幾多の機械部品を真空チャンバ1内に持ち込むことになるためにゴミが発生し易く、ウエハーの品質を低下させる心配があって好ましくない。また、この方法はドライエッチング装置の作成や装置の取扱も面倒になる。

従って、第4図(b)に示す静電チャッキング法を用いることが望ましい。しかし、例えば、RIE法で弗素系ガスを用いてシリコン化合物をエッチングする場合、多結晶シリコン膜や窒化シリコン膜のような化学反応が主体となってエッチングが進行する被エッチング膜では、13.56MHZ程度の高い周波数の電源によってエッチングしてもエッチング速度が早くて問題はない。しかし、SiO<sub>2</sub>(酸化シリコン)膜のようなイオン衝撃による物理的食刻が主体になってエッチングされる被エッチング膜では、380～400KHZ程度の低い周波数の

電源を用いた方がイオン衝撃が大きくてエッチング速度が早くなる。

そのため、380～400KHZ程度の低い周波数の電源を用いてエッチングすることが要望されるが、その低い周波数の電源を用いた場合、静電チャック体33は厚い絶縁体であるから低い周波数の電力の通過が妨害されて、露出した高周波用電極の側部(第4図(b)に矢印で示す)で異常放電が起こり、満身に精度良くエッチングできないという問題が起こる。この静電チャック体33は導体を埋めたセラミック絶縁板からなり、口径8インチφのウエハーをチャッキングするためには板厚を6mm程度より薄く作成することは歪みが発生するから、ある程度の厚みが必要になり、それが高周波電力の通過を妨げることになっている。

本発明はこのような問題点を解消させて、低い周波数の電源を用いて、しかも、ウエハーを静電チャッキングして良好に処理することを目的とした半導体製造装置を提案するものである。

## 〔課題を解決するための手段〕

その課題は、ウエハーを載置する下部電極を備え、該下部電極が、第1図に示すように、ウエハーに近接して位置した静電チャック電極板12と、ウエハーに対して静電チャック電極板より遠くに位置した高周波用電極板13とを、絶縁体11内にウエハーに平行して埋設させた構造を有する半導体製造装置によつて解決される。

## 〔作用〕

即ち、本発明は、ウエハーに対して静電チャック電極板と高周波用電極板とをほぼ同程度の大きさで平行に近接して絶縁体内に配置した下部電極を設ける。即ち、従来の静電チャック体の中に高周波用電極を取り込んだ構造にする。そうすると、ウエハーを静電チャッキングし、低い周波数の電源を用いて、早い速度で均一に処理することが可能になる。

## 〔実施例〕

380～400KHZ程度の低い周波数の電源を用い、早いエッチング速度で、異常プラズマ放電を起こすことなく、ウエハー面を精度良くエッチングできる。

次の第2図は本発明にかかるプラズマエッチング装置における電気的接続の要部図を示している。記号は第1図および第3図と同一部位に同一記号が付けてあるが、その他の記号35はRFカットフィルタ、36はウエハー搬送ピンである。本発明に関わる下部電極をプラズマエッチング装置に配置しても静電チャック電極板12および高周波用電極板13は円板のまま無加工で取り付けことは困難で、例えば、自動インライン方式中の一装置として配設されたプラズマエッチング装置では、その下部電極中の電極板12、13を透過させてウエハー搬送ピン36を取り付ける必要がある。また、熱伝導を良くするために下部電極とウエハーとの間にヘリウム(He)ガスを僅かに送入しているが、そのガス送入孔を下部電極に設ける必要があり、そのために電極板12、13に孔をあけている。しかし、

以下に図面を参照して実施例によつて詳細に説明する。

第1図(a)、(b)は本発明に関わりある下部電極の構造図を示しており、同図(a)は同図(b)のAA断面図、同図(b)は平面図である。図中の記号11はセラミック絶縁体、12はタングステンからなる静電チャック電極板、13は同じくタングステンからなる高周波用電極板で、12Tは静電チャック電極板の取出し端子、13Tは高周波用電極板の取出し端子、hは高周波用電極板における周辺凹部(静電チャック電極板12から取出し端子12Tに接続する導線のための凹部)である。例えば、直径 $\phi = 200\text{mm}$ 、厚さ $h = 10\text{mm}$ のセラミック絶縁体の中にウエハーを載置する表面からの間隔 $m = 200\mu\text{m}$ をとって静電チャック電極板12を埋設させ、それより間隔 $n = 500\mu\text{m}$ をとって高周波用電極板が埋設させた構成とする。且つ、このような構成の下部電極はセラミック絶縁体全体の厚みを十分に厚くしても良く、高い寸法精度で作成できる。

かくして、このような下部電極を配置すれば、

電極板12、13に設ける孔はウエハー面でのプラズマ分布を乱さないためには、 $3\text{mm}\phi$ 以下の孔径にすることが重要である。

上記に説明した下部電極を設けると、ウエハープロセスの効率化、高品質化に寄与するプラズマエッチング装置が得られ、且つ、装置自身も小型化することができる。

更に、そのような下部電極は13.56MHz程度の高い周波数の電源を用いる平行平板型のプラズマCVD装置に配置しても良く、且つ、エッチング装置のみならず、プラズマCVD装置に配置しても同様の効果が得られるものである。

## 〔発明の効果〕

以上の説明から明らかなように、本発明にかかる半導体製造装置によれば、コンパクトな下部電極が設けられて装置の小型化に役立ち、且つ、ウエハープロセスの効率化、半導体デバイスの高品質化に大きく寄与するものである。



#### 4. 図面の簡単な説明

第1図(a)、(b)は本発明に関わりある下部電極の構造図、

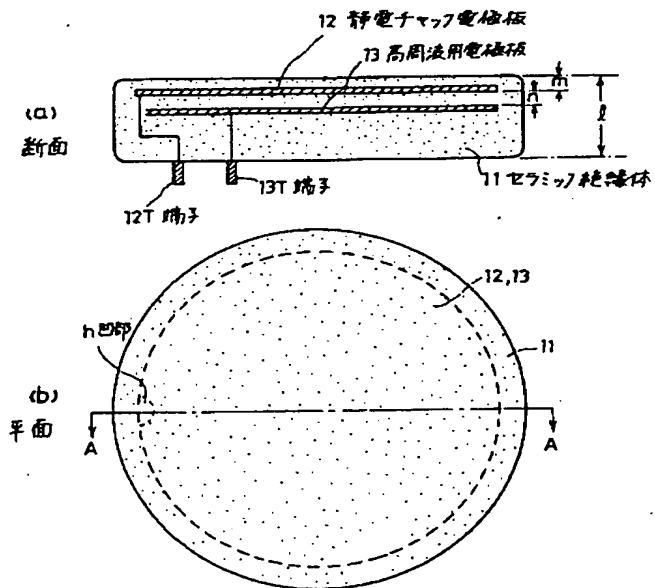
第2図は本発明にかかるプラズマエッチング装置における電気的接続の要部図、

第3図はプラズマエッチング装置の要部断面図、

第4図(a)、(b)は従来の下部電極の構造断面図である。

図において、

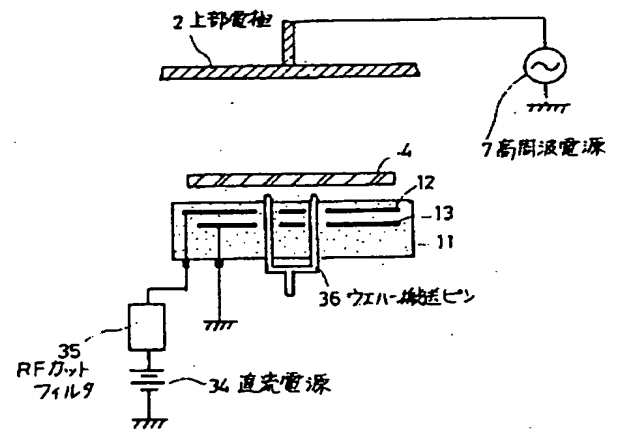
- 1 は真空チャンバ、
- 2 は上部電極、
- 3 は下部電極、
- 4 はウエハー、
- 5 はガス導入口、
- 6 は排気口、
- 7 は高周波電源、
- 11 はセラミック絶縁体、
- 12 は静電チャック電極板、
- 13 は高周波用電極板、
- 12T、13T は端子、
- 34 は直流電源、
- 35 はRFカットフィルタ、
- 36 はウエハー搬送ピン



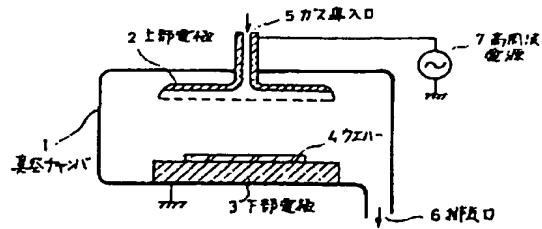
本発明に関わりある下部電極の構造図  
第1図

を示している。

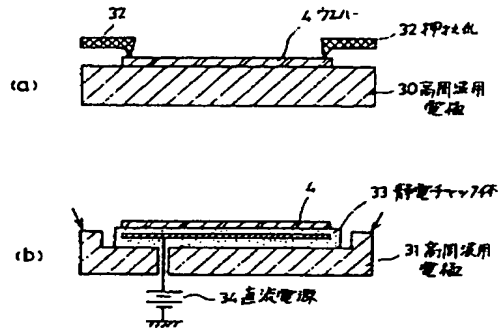
代理人 弁理士 井 裕 真 一



本発明にかかるプラズマエッチング装置における  
電気的接続の要部図  
第2図



アークプラズマ装置の各部断面図  
第 3 図



従来の下部電極の構造断面図  
第 4 図